



(19)

(11) Publication number: 11135620 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09309882

(51) Intl. Cl.: H01L 21/768

(22) Application date: 24.10.97

(30) Priority:

(43) Date of application publication: 21.05.99

(84) Designated contracting states:

(71)

Applicant: NEC CORP

(72) Inventor: ITO SHINYA

(74)

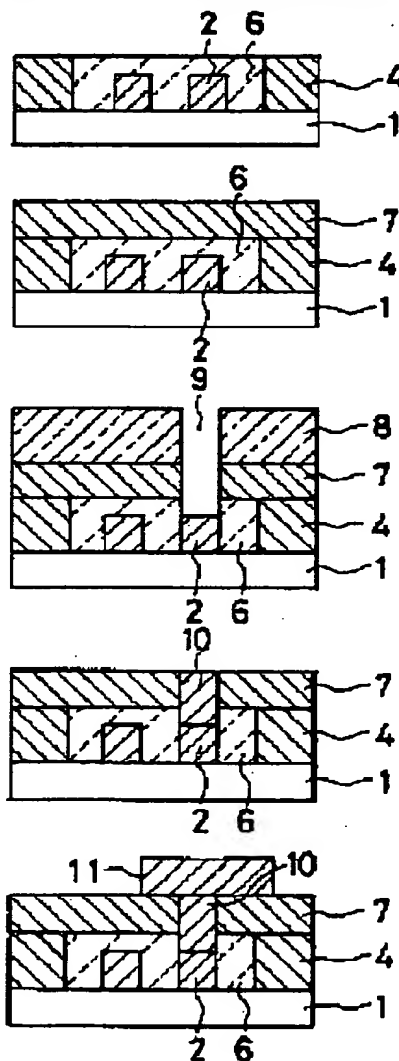
Representative:

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the manufacture of a semiconductor device for forming a low dielectric constant inter-layer film, only in a local inter-wiring area by solving the problems that adhesion with a silicon oxide film is poor and heat conductivity is also poor generally for a low dielectric constant film, whose adoption is examined so as to reduce the inter-wiring capacity.

SOLUTION: This manufacture is provided with the respective processes of (a) forming a first metal wiring 2 on a semiconductor substrate 1, (b) masking a specified wiring region to reduce wiring capacity with resist, (c) forming the silicon oxide films 4 and 7 at a part other than an region covered with the resist by using a liquid layer growth method, (d) peeling and removing the resist and providing an opening part 9 on the silicon oxide films 4 and 7, (e) forming the low dielectric constant film whose dielectric constant is 1.8-3.5 on the entire surface, (f) leaving the low dielectric constant film only at the opening part by etching or CMP, (g) forming the inter-layer insulation film of the silicon oxide film or a silicon nitride film or the like on the entire surface, (h) opening via hole at a desired position, (i) embedding the via hole by the metal of Al or W or the like and (j) forming a second metal wiring.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135620

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

S

審査請求 有 請求項の数 7 F D (全 7 頁)

(21) 出願番号 特願平9-309882

(22) 出願日 平成9年(1997)10月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊藤 信哉

東京都港区芝五丁目7番1号 日本電気株式会社内

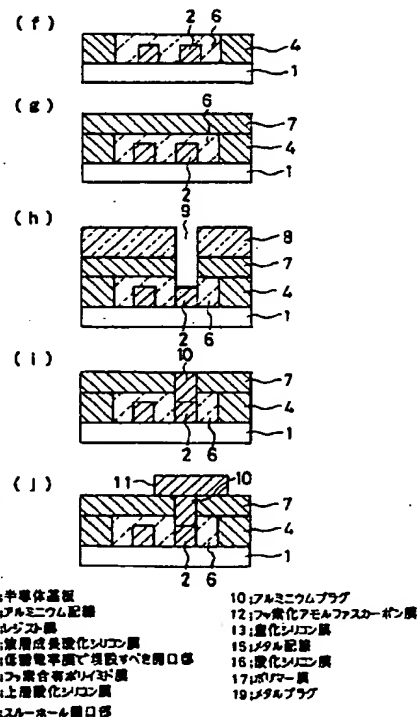
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 配線間容量を低減するため、採用が検討されている低誘電率膜は一般に酸化シリコン膜との密着性が悪く、熱伝導性も悪いという問題点を解消し、局所的な配線間領域にのみ低誘電率層間膜を形成する半導体装置の製造方法の提供。

【解決手段】 (a) 半導体基板上に第1のメタル配線を形成し、(b) 配線容量を小さくしたい特定配線領域をレジストでマスクし、(c) 液層成長法を用いレジストで覆われた領域以外に酸化シリコン膜を成膜し、(d) レジストを剥離除去し酸化シリコン膜に開口部を設け、(e) 全面に誘電率が1.8~3.5の低誘電率膜を成膜し、(f) エッチング又はCMPで開口部にのみ低誘電率膜を残し、(g) 全面に酸化シリコン膜又は窒化シリコン膜等の層間絶縁膜を形成し、(h) 所望の位置にビアホールを開口し、(i) ビアホールをAl、W等の金属で埋設し、(j) 第2のメタル配線を形成する、各工程を含む。



【特許請求の範囲】

【請求項1】 (a) 半導体基板上に第1の配線を形成する工程と、

(b) 前記配線の所定の一部分をレジストで覆う工程と、

(c) 前記レジストで覆われた部分以外の領域に第1の層間絶縁膜を形成する工程と、

(d) 前記レジストを除去し開口部を形成する工程と、

(e) 前記開口部に誘電率が所定値以下である第2の層間絶縁膜を形成する工程と、

(f) 全面に第3の層間絶縁膜を成膜する工程と、

(g) 前記第3の層間絶縁膜の所定の位置に前記第1の配線に至るビアホールを形成する工程と、

(h) 前記ビアホールに金属を埋設する工程と、

(i) 前記第3の層間絶縁膜上に第2の配線を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の層間絶縁膜が、液相成長法により形成される酸化シリコン膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の層間絶縁膜が、気相成長法により形成されるフッ素含有酸化シリコン膜やフッ素化アモルファスカーボン膜、もしくは回転塗布法により形成されるポリイミド系樹脂膜やフッ素系樹脂膜、ハイドロジェン・シルセスキオキサン(HSQ)膜である、ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記開口部に形成される前記第2の層間絶縁膜を誘電率が3.5以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 (a) 第1の配線の配線容量を低くしたい所望の配線領域にレジスト膜を選択的に形成した後に該レジスト膜以外の領域に第1の絶縁膜を成膜し、

(b) 前記レジスト膜を剝離除去して低誘電率膜で埋設すべき開口部を形成し、

(c) 全面に誘電率(比誘電率)が所定範囲の値の第2の絶縁膜を成膜し、エッチバック法により前記開口部のみに前記第2の絶縁膜を残すことにより、配線容量を低くしたい特定の領域のみに低誘電率膜を形成し、

(d) つづいて全面に第3の絶縁膜を成膜し所望の位置に前記第1の配線に達するスルーホールを形成し、該スルーホールを金属で埋設してプラグを形成し、前記第3の絶縁膜の上に第2の配線を形成する、
上記工程を含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記開口部に形成される前記第2の層間絶縁膜を誘電率が1.8から3.5以下の範囲であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 基板上の配線において、配線容量を低くしたい所望の配線領域をレジスト膜で覆い、該レジスト膜で覆われた領域以外の領域に絶縁膜を成膜し、

その後、前記レジスト膜を剝離除去して開口部を形成し、
前記開口部に低誘電率の絶縁膜を埋設する、
上記工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に低誘電率膜を用いた層間膜形成方法に関する。

【0002】

【従来の技術】 近年の半導体集積回路においては、メタル配線の幅および間隔はますます微細になり、配線間の寄生容量が回路動作上無視できなくなっている。この配線間容量の増大により、配線遅延がゲート遅延に比べて多くなり、また配線間にクロストーク(配線信号が隣の配線にのる現象)が発生する。

【0003】 このような問題を解決するために、従来より、配線間の層間絶縁膜に低誘電率膜を採用することが検討されている。しかし、有機膜やフッ素含有膜は、一般に、酸化シリコン膜との密着性が悪く、また酸化シリコン膜よりも熱伝導性が悪い。そこで全面に低誘電率膜を成膜するのではなく、特に低配線容量が求められる配線領域に局部的に用いる方法が提案されている。

【0004】 低誘電率膜を用いた半導体装置の製造方法としては、例えば文献(1994 Symposium on VLSI Technology Digest of Technical Papers、73~74ページ)に記載されている技術が知られている。この従来の方法においては、まず図5(a)に示すように、メタル配線15をエッチング加工し、その上に酸化シリコン膜16を形成してCMP(化学的機械的研磨)により平坦化する。

【0005】 次に、図5(b)に示すように、細いメタル配線間をエッチングして酸化シリコン膜16に溝部を形成し、その後、低誘電率のポリマー膜17を酸化シリコン膜16上およびその溝部に堆積する。

【0006】 次に、図5(c)に示すように、ポリマー膜17をエッチングし、酸化シリコン膜16の溝部にのみ低誘電率のポリマーを残し、その上に上層酸化シリコン膜18を形成する。

【0007】 次に、図5(d)に示すように、その上層酸化シリコン膜18にスルーホールの開口を行い、その開口部に金属で埋設してメタルプラグ19を形成する。多層配線を形成する場合には、この工程を繰り返す。

【0008】

【発明が解決しようとする課題】 しかしながら、上記した従来技術は下記記載の問題点を有している。

【0009】 第1の問題点は、酸化シリコン膜に溝部を形成するときのドライエッチング工程で発生する副生成

物が、その後にウェット処理を行っても、完全に除去することができない、ということである。

【0010】その理由は、溝部のアスペクト比が大きいためである。アスペクト比を小さくするためには、配線形成後に成膜する酸化シリコン膜の膜厚を薄くしなければならないが、CMPを過剰に行うと、配線が露出してしまったため、精度良く酸化シリコン膜を薄く形成することは困難である。

【0011】第2の問題点は、一般に用いられているアルミニウム配線はエッチング副生成物を除去するためのアルカリ性溶液を用いたウェット処理によって腐食する、ということである。

【0012】その理由は、アルミニウム配線の上下には、Tiなどの高融点金属膜を通常形成するが、配線側面はアルミニウムが露出しているため、ウェット処理液と反応してしまうからである。

【0013】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、メタル配線を劣化させることなく、局所的な配線間領域にのみ低誘電率層間膜を形成し、微細かつ高速な半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため本発明に係る半導体装置の製造方法は、半導体基板上に第1の配線を形成する工程と、前記配線の所定の一部分をレジストで覆う工程と、前記レジストで覆われた部分以外の領域に第1の層間絶縁膜を形成する工程と、前記レジストを除去し開口部を形成する工程と、前記開口部に誘電率が3.5以下である第2の層間絶縁膜を形成する工程と、全面に第3の層間絶縁膜を成膜する工程と、所望の位置に開口部を形成する工程と、前記開口部に金属を埋設する工程と、当該基板上に第2の配線を形成する工程とを有する。本発明においては、前記第1の層間絶縁膜として液相成長法によって形成される酸化シリコン膜を用いることを特徴とする。

【0015】また、本発明においては、前記第2の層間絶縁膜としてフッ素含有酸化シリコン膜やフッ素化アモルファスカーボン膜等の気相成長膜、ポリイミド系樹脂膜やフッ素系樹脂膜、ハイドロジェン・シルセスキオキサン(HSQ)膜等の回転塗布膜を用いることを特徴とする。

【0016】

【発明の実施の形態】本発明の実施の形態について説明する。本発明の半導体装置の製造方法は、その好ましい実施の形態において、(a)半導体基板上に第1のメタル配線を形成する工程(図1の(a))と、(b)配線容量を小さくしたい特定の配線領域をレジストでマスクする工程(図1の(b))と、(c)液層成長法を用いてレジストで覆われた領域以外に、第1の層間絶縁膜として酸化シリコン膜を成膜する工程(図1の(c))

と、(d)レジストを剥離除去することで酸化シリコン膜に開口部を設ける工程(図1の(d))と、(e)全面に第2の層間絶縁膜として誘電率が好ましくは1.8から3.5の低誘電率膜を成膜する工程(図1の

(e))と、(f)エッチングまたはCMPにより開口部にのみ低誘電率膜を残す工程(図2の(f))と、

(g)全面に酸化シリコン膜あるいは窒化シリコン膜等の第3の層間絶縁膜を形成する工程(図2の(g))と、

(h)所望の位置にスルーホールとなる開口部を形成する工程(図2の(h))と、(i)前記スルーホール開口部をアルミニウムやタングステン等の金属で埋設する工程(図2の(i))と、(j)第2のメタル配線を形成する工程(図2の(j))と、を含むものである。

【0017】ここで第2の層間絶縁膜である低誘電率膜としては、フッ素含有酸化シリコン膜やフッ素化アモルファスカーボン膜等の気相成長膜、ポリイミド系樹脂膜やフッ素系樹脂膜、ハイドロジェン・シルセスキオキサン(HSQ)膜等の回転塗布膜を用いる。

【0018】

【実施例】上記した本発明の実施の形態について更に説明すべく、本発明の実施例について図面を参照して説明する。

【0019】【実施例1】図1及び図2は、本発明に係る半導体装置の製造方法の第1の実施例の主要工程を工程順に模式的に示す工程断面図である。図1及び図2を参照して、本発明の第1の実施例について説明する。

【0020】まず図1(a)に示すように、下地工程を作成した半導体基板1に厚さ0.6 μ mのアルミニウム配線2を形成する。

【0021】次に図1(b)に示すように、配線容量を低くしたい所定の配線領域に公知のリソグラフィ技術を用いて厚さ1.7 μ mのレジスト膜3を形成する。

【0022】次に図1(c)に示すように、液層成長法によってレジスト膜3以外の領域に酸化シリコン膜4を1 μ mの厚さに成膜する。液層成長法としては、例えば文献(1990 Symposium on VLSI Technology Digest of Technical Papers)の第3頁の記載等が参照され、H₂SiF₆の飽和溶液に半導体基板を浸してH₂BO₃を滴下することで酸化シリコン膜を成長させるものである。この方法ではレジスト上には酸化シリコン膜は成長しない。

【0023】次に図1(d)に示すように、レジスト膜3を剥離除去し、低誘電率膜で埋設すべき開口部5を形成する。レジスト剥離液は有機系溶液であるため、配線の腐食は起こらない。

【0024】次に図1(e)に示すように、全面に回転塗布法によってフッ素含有ポリイミド膜6を成膜する。

【0025】次に図2(f)に示すように、エッチパッ

ク法により開口部5のみにフッ素含有ポリイミド膜6を残す。こうして配線容量を低くしたい特定の領域のみに低誘電率膜が形成される。

【0026】次に図2(g)に示すように、全面に酸化シリコン膜7を0.5 μ mの厚さに成膜する。

【0027】次に図2(h)に示すように、厚さ1 μ mのレジスト膜8を用いたリソグラフィ工程とドライエッチングにより所望の位置に径0.4 μ mのスルーホール開口部9を形成する。

【0028】次に図2(i)に示すように、スルーホール開口部9をアルミニウムで埋設しアルミニウムプラグ10を形成する。

【0029】次に図2(j)に示すように、厚さ0.45 μ mのアルミニウム配線11を形成する。

【0030】配線構造をより多層にする場合には、上記の工程を繰り返し行えば良い。なお、低誘電率膜としては、フッ素含有ポリイミド膜に限定されるものではなく、フッ素系樹脂膜、ハイドロジェン・シルセスキオキサン(HSQ)膜等であっても良い。また低誘電率膜の形成方法も回転塗布法に限定されるものではない。

【0031】【実施例2】図3及び図4は、本発明に係る半導体装置の製造方法の第2の実施例の主要工程を工程順に模式的に示す工程断面図である。図3及び図4を参照して、本発明の第2の実施例について説明する。

【0032】まず図3(a)に示すように、下地工程を作成した半導体基板1に厚さ0.6 μ mのアルミニウム配線2を形成する。

【0033】次に図3(b)に示すように、配線容量を低くしたい所定の配線領域に公知のリソグラフィ技術を用いて厚さ1.7 μ mのレジスト膜3を形成する。

【0034】次に図3(c)に示すように、液層成長法によってレジスト膜3以外の領域に酸化シリコン膜4を1 μ mの厚さに成膜する。液層成長法は選択性が高く、レジスト上には酸化シリコン膜は成長しない。

【0035】次に図3(d)に示すように、レジスト膜3を剥離除去し、低誘電率膜で埋設すべき開口部5を形成する。レジスト剥離液は有機系溶液であるため配線の腐食は起こらない。

【0036】次に図3(e)に示すように、全面に気相成長法によって、フッ素化アモルファスカーボン膜12を成膜する。

【0037】次に図3(f)に示すように、CMP法により、開口部5のみに、フッ化アモルファスカーボン膜12を残す。こうして配線容量を低くしたい特定の領域のみに低誘電率膜が形成される。

【0038】次に図4(g)に示すように、全面に窒化シリコン膜13を0.1 μ mの厚さに成膜した後、酸化シリコン膜14を0.4 μ mの厚さに成膜する。

【0039】次に図4(h)に示すように、厚さ1 μ mのレジスト膜8を用いたリソグラフィ工程とドライエ

ッチングにより、所望の位置に径0.4 μ mのスルーホール開口部9を酸化シリコン膜14に形成する。

【0040】次に図4(i)に示すように、レジスト膜8を剥離除去した後、酸化シリコン膜14をマスクとして、スルーホール開口部9の窒化シリコン膜13をドライエッチングにより開口する。アモルファスカーボン膜はレジスト剥離液でエッチングされる性質を持つため、スルーホール開口後にレジスト剥離除去処理を行うことはできない。従って、このように、レジスト以外の膜をマスクにして、スルーホールの開口を行う。

【0041】次に図4(j)に示すように、スルーホール開口部9をアルミニウムで埋設しアルミニウムプラグ10を形成する。

【0042】次に図4(k)に示すように、厚さ0.45 μ mのアルミニウム配線11を形成する。

【0043】配線構造をより多層にする場合には上記の工程を繰り返し行えば良い。この実施例においても、低誘電率膜はアモルファスカーボン膜に限定されるものではなく、成膜方法も気相成長法に限定されない。本実施例は低誘電率膜がレジスト剥離液に対して耐性がない場合であっても、スルーホールが開口できる、という利点を有する。

【0044】

【発明の効果】以上説明したように、本発明によれば、低誘電率膜で埋設すべき開口部に露出する配線を腐食させることなく、開口部を形成することができるという効果を奏する。

【0045】その理由は、本発明においては、従来技術のように開口部を層間絶縁膜のエッチングによって形成するものではないため、エッチング副生成物のような不要物が発生する工程がなく、従って、配線を腐食させるようなウェット処理工程が存在しないためである。

【図面の簡単な説明】

【図1】(a)～(e)は本発明の半導体装置の製造方法の第1の実施例の各工程における半導体装置の断面を模式的に示した工程断面図である。

【図2】(f)～(j)は本発明の半導体装置の製造方法の第1の実施例の各工程における半導体装置の断面を模式的に示した工程断面図である。

【図3】(a)～(f)は本発明の半導体装置の製造方法の第2の実施例の各工程における半導体装置の断面を模式的に示した工程断面図である。

【図4】(g)～(k)は本発明の半導体装置の製造方法の第2の実施例の各工程における半導体装置の断面を模式的に示した工程断面図である。

【図5】(a)～(d)は従来の半導体装置の製造方法の各工程における半導体装置の断面を模式的に示した工程断面図である。

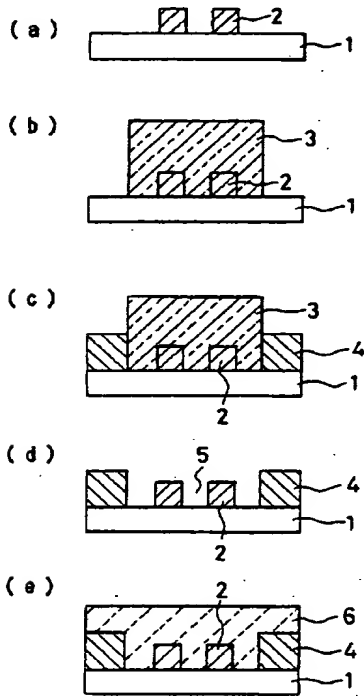
【符号の説明】

1 半導体基板

7

- 2, 11 アルミニウム配線
 3, 8 レジスト膜
 4 液層成長酸化シリコン膜
 5 低誘電率膜で埋設すべき開口部
 6 フッ素含有ポリイミド膜
 7, 14, 18 上層酸化シリコン膜
 9 スルーホール開口部

【図1】

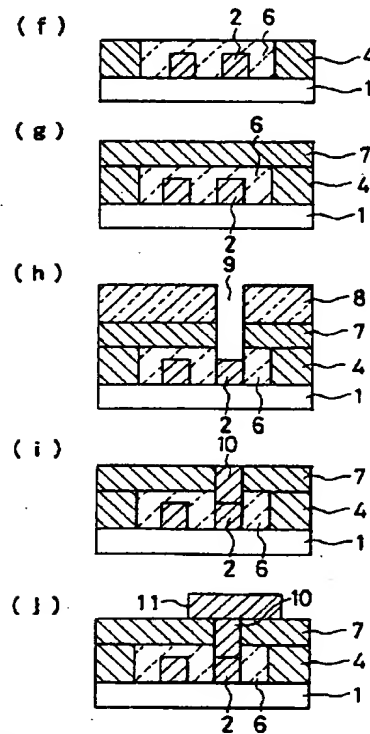


- | | |
|-------------------|--------------------|
| 1:半導体基板 | 10:アルミニウムプラグ |
| 2,11:アルミニウム配線 | 12:フッ素化アモルファスカーボン膜 |
| 3,8:レジスト膜 | 13:窒化シリコン膜 |
| 4:液層成長酸化シリコン膜 | 15:メタル配線 |
| 5:低誘電率膜で埋設すべき開口部 | 16:酸化シリコン膜 |
| 6:フッ素含有ポリイミド膜 | 17:ポリマー膜 |
| 7,14,18:上層酸化シリコン膜 | 19:メタルプラグ |
| 9:スルーホール開口部 | |

8

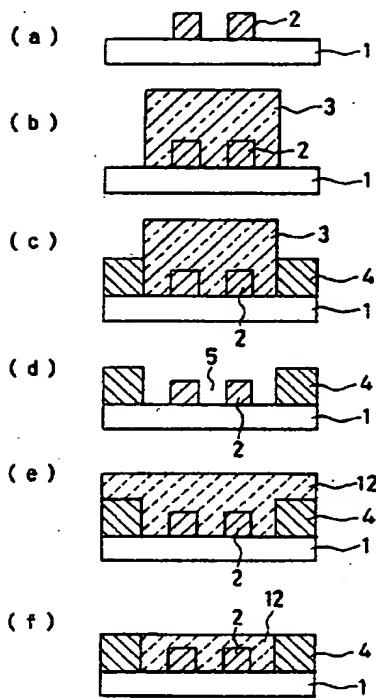
- 10 アルミニウムプラグ
 12 フッ素化アモルファスカーボン膜
 13 窒化シリコン膜
 15 メタル配線
 16 酸化シリコン膜
 17 ポリマー膜
 19 メタルプラグ

【図2】



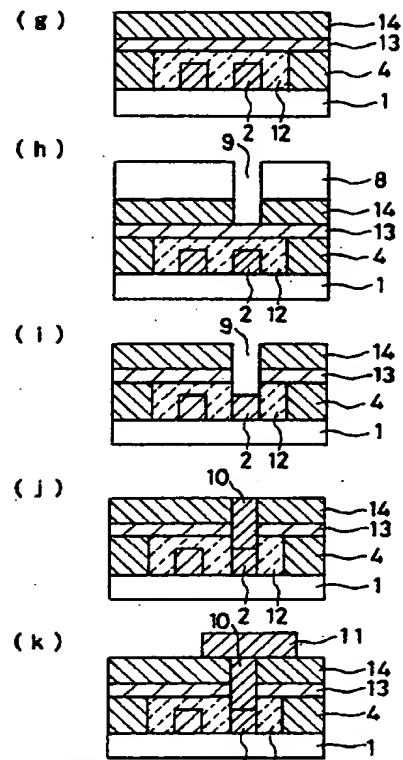
- | | |
|-------------------|--------------------|
| 1:半導体基板 | 10:アルミニウムプラグ |
| 2,11:アルミニウム配線 | 12:フッ素化アモルファスカーボン膜 |
| 3,8:レジスト膜 | 13:窒化シリコン膜 |
| 4:液層成長酸化シリコン膜 | 15:メタル配線 |
| 5:低誘電率膜で埋設すべき開口部 | 16:酸化シリコン膜 |
| 6:フッ素含有ポリイミド膜 | 17:ポリマー膜 |
| 7,14,18:上層酸化シリコン膜 | 19:メタルプラグ |
| 9:スルーホール開口部 | |

【図3】



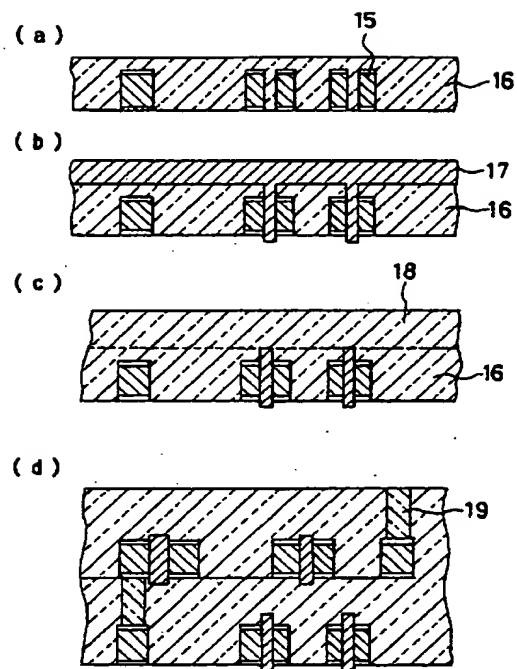
- 1:半導体基板
2,11:アルミニウム配線
3,8:レジスト膜
4:液相成長酸化シリコン膜
5:低誘電率膜で埋設すべき開口部
6:フッ素含有ポリイミド膜
7,14,18:上層酸化シリコン膜
9:スルーホール開口部
10:アルミニウムプラグ
12:フッ素化アモルファスカーボン膜
13:窒化シリコン膜
15:メタル配線
16:酸化シリコン膜
17:ポリマー膜
19:メタルプラグ

【図4】



- 1:半導体基板
2,11:アルミニウム配線
3,8:レジスト膜
4:液相成長酸化シリコン膜
5:低誘電率膜で埋設すべき開口部
6:フッ素含有ポリイミド膜
7,14,18:上層酸化シリコン膜
9:スルーホール開口部
10:アルミニウムプラグ
12:フッ素化アモルファスカーボン膜
13:窒化シリコン膜
15:メタル配線
16:酸化シリコン膜
17:ポリマー膜
19:メタルプラグ

【図5】



- | | |
|----------------------|---------------------|
| 1; 半導体基板 | 10; アルミニウムプラグ |
| 2, 11; アルミニウム配線 | 12; フッ素化アモルファスカーボン膜 |
| 3, 8; レジスト膜 | 13; 窒化シリコン膜 |
| 4; 液層成長酸化シリコン膜 | 15; メタル配線 |
| 5; 低誘電率膜で埋設すべき開口部 | 16; 酸化シリコン膜 |
| 6; フッ素含有ポリイミド膜 | 17; ポリマー膜 |
| 7, 14, 18; 上層酸化シリコン膜 | 19; メタルプラグ |
| 9; スルーホール開口部 | |